

[19]中华人民共和国国家知识产权局

[51]Int. Cl.<sup>7</sup>

H01L 29/78

H01L 27/10 H01L 21/336

## [12] 发明专利申请公开说明书

[21] 申请号 00135548.1

[43]公开日 2001 年 7 月 4 日

[11]公开号 CN 1302088A

[22]申请日 2000.12.18 [21]申请号 00135548.1

[30]优先权

[32]1999.12.24 [33]KR [31]61929/1999

[71]申请人 三星电子株式会社

地址 韩国京畿道

[72]发明人 金炯显 洪昌基 郑佑仁  
金凡洙 申有哲 朴奎灿[74]专利代理机构 柳沈知识产权律师事务所  
代理人 陶凤波

BEST AVAILABLE COPY

权利要求书 5 页 说明书 16 页 附图页数 16 页

[54]发明名称 具有多栅绝缘层的半导体器件及其制造方法

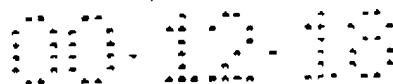
[57]摘要

一种具有多栅绝缘层的半导体器件及其制造方法。该半导体器件包括设置于半导体衬底预定区域的隔离区。隔离区限定至少一个第一有源区和至少一个第二有源区。用第一栅绝缘层覆盖第一有源区，用薄于第一栅绝缘层的第二栅绝缘层覆盖第二有源区。用最好覆盖第一和第二栅绝缘层的整个侧壁的隔离层填充隔离区。



ISSN 1008-4274

知识产权出版社出版



## 权 利 要 求 书

1. 一种半导体器件, 包括:

- 限定在半导体衬底预定区域的多个有源区, 该多个有源区包括至少一个
- 5 第一有源区和至少一个第二有源区, 第一有源区的表面低于半导体衬底的主表面, 和第二有源区的表面高于第一有源区的表面;

形成在第一有源区上的第一栅绝缘层;

形成在第二有源区上的第二栅绝缘层, 第二栅绝缘层薄于第一栅绝缘层;

- 在多个有源区之间的半导体衬底上形成的隔离区, 该隔离区的底部低于
- 10 第一有源区的表面; 和

填充隔离区的隔离层, 该隔离层覆盖第一栅绝缘层和第二栅绝缘层的整个侧壁。

2. 如权利要求 1 的半导体器件, 其中在第一栅绝缘层和第二栅绝缘层的上表面之间的台阶差小于第一栅绝缘层和第二栅绝缘层之间厚度差的一半。

- 15 3. 如权利要求 2 的半导体器件, 其中隔离层的上表面具有与第一和第二栅绝缘层的较高栅绝缘层的上表面相同的高度。

4. 如权利要求 1 的半导体器件, 其中隔离区是沟槽区域。

5. 如权利要求 1 的半导体器件, 还包括:

- 与第一有源区交叉的第一栅极图形, 第一栅极图形覆盖第一栅绝缘层的
- 20 预定区域; 和

与第二有源区交叉的第二栅极图形, 第二栅极图形覆盖第二栅绝缘层的预定区域。

6. 如权利要求 5 的半导体器件, 其中第一栅极图形包括第一栅电极、第一层间栅介质层和第一虚设栅电极, 所述第一栅电极、所述第一层间栅介质层和所述第一虚设栅电极顺序层叠。
- 25

7. 如权利要求 5 的半导体器件, 其中第二栅极图形包括第二栅电极、第二层间栅介质层和第二虚设栅电极, 所述第二栅电极、所述第二层间栅介质层和所述第二虚设栅电极顺序层叠。

8. 如权利要求 5 的半导体器件, 其中第二栅极图形包括浮动栅、第二层



间栅介质层和控制栅电极, 所述浮动栅、所述第二层间栅介质层和所述控制栅电极顺序层叠。

9. 一种制造半导体器件的方法, 包括:

在半导体衬底的预定区域形成其下表面低于半导体衬底主表面的第一栅

5 绝缘层;

在与第一栅绝缘层相邻的半导体衬底处形成第二栅绝缘层, 第二栅绝缘层的下表面高于第一栅绝缘层的下表面且其厚度薄于第一栅绝缘层的厚度;

在具有第一和第二栅绝缘层的所得结构的整个表面上顺序形成第一导电层和化学机械抛光中止层;

10 连续构图化学机械抛光中止层、第一导电层、第一和第二栅绝缘层和半导体衬底, 由此形成沟槽区, 该沟槽区限定在第一栅绝缘层之下的第一有源区和在第二栅绝缘层之下的第二有源区, 并且同时形成顺序层叠在各有源区上的第一导电层图形和化学机械抛光中止层图形;

形成填充沟槽区的绝缘层图形;

15 去除化学机械抛光中止层图形; 和

使绝缘层图形凹进, 形成隔离层, 该隔离层覆盖第一和第二栅绝缘层的整个侧壁。

10. 如权利要求 9 的方法, 其中形成第一和第二栅绝缘层的步骤包括:

在半导体衬底的整个表面上顺序形成基层氧化层和基层氮化层;

20 连续构图基层氮化层和基层氧化层, 露出半导体衬底的第一区域;

热氧化具有构图的基层氮化层的所得结构, 在第一区域的表面形成第一栅绝缘层;

去除构图的基层氮化层和构图的基层氧化层, 露出在构图的基层氧化层之下的第二区域; 和

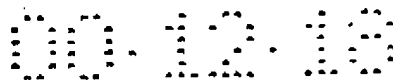
25 对去除构图的基层氧化层的所得结构进行热氧化, 由此形成其厚度薄于第二区域表面的第一栅绝缘层的厚度的第二栅绝缘层。

11. 如权利要求 9 的方法, 其中第一导电层由掺杂的多晶硅层形成。

12. 如权利要求 9 的方法, 其中化学机械抛光中止层由氮化硅层形成。

13. 如权利要求 9 的方法, 其中形成绝缘层图形的步骤包括:

30 在形成沟槽区的所得结构的整个表面上形成填充沟槽区的绝缘层; 和



使绝缘层平面化，直到露出化学机械抛光中止层图形。

14. 如权利要求 13 的方法，其中利用化学机械抛光工艺方法实施使绝缘层平面化的步骤。

15. 如权利要求 9 的方法，其中执行使绝缘层图形凹进的步骤直到露出第一导电层图形的侧壁。

16. 如权利要求 9 的方法，还包括：

在第一有源区上形成第一栅极图形，第一栅极图形与第一有源区交叉并包括第一导电层图形的一部分；和

10 在第二有源区上形成第二栅极图形，第二栅极图形与第二有源区交叉并包括第一导电层图形的一部分。

17. 如权利要求 16 的方法，其中形成第一和第二栅极图形的步骤包括：

在形成隔离层的所得结构的整个表面上顺序形成第二导电层、层间栅介质层和第三导电层；和

15 连续构图第三导电层、层间栅介质层、第二导电层和第一导电层图形，从而形成在第一栅绝缘层的预定区域上顺序层叠的第一栅电极、第一层间栅介质层和第一虚设栅电极，同时形成在第二栅绝缘层的预定区域上顺序层叠的第二栅电极、第二层间栅介质层和第二虚设栅电极。

18. 如权利要求 16 的方法，其中形成第一和第二栅极图形的步骤包括：

在形成隔离层的所得结构的整个表面上形成第二导电层；

20 构图第二导电层，形成露出与第二有源区相邻的隔离层的第二导电层图形；

在形成第二导电层图形的所得结构的整个表面上顺序形成层间栅介质层和第三导电层；和

25 连续构图第三导电层、层间栅介质层、第二导电层和第一导电层图形，从而形成在第一栅绝缘层的预定区域上顺序层叠的第一栅电极、第一层间栅介质层和第一虚设栅电极，同时形成在第二栅绝缘层的预定区域上顺序层叠的浮动栅、第二层间栅介质层和控制栅电极。

19. 一种制造半导体器件的方法，包括：

在半导体衬底上形成多个基层图形；

30 用多个基层图形作为腐蚀掩模腐蚀半导体衬底，形成限定至少一个第一



有源区和至少一个第二有源区的沟槽区;

形成填充沟槽区的绝缘层图形;

选择地去除第一有源区上的基层图形, 露出第一有源区;

在第一有源区表面形成其下表面低于第二有源区上表面的第一栅绝缘

5 层;

去除第二有源区上的基层图形, 选择地露出第二有源区; 和

形成其厚度薄于第一栅绝缘层的厚度并且其上表面高于第一栅绝缘层下表面的第二栅绝缘层。

20. 如权利要求 19 的方法, 其中通过对露出的第一有源区的表面进行热  
10 氧化, 形成第一栅绝缘层。

21. 如权利要求 19 的方法, 其中形成第一栅绝缘层的步骤包括:

对露出的第一有源区的表面进行热氧化, 形成具有第一厚度的热氧化层;

和

15 湿式腐蚀具有第一厚度的热氧化层, 形成具有低于第一厚度的第二厚度  
的热氧化层。

22. 如权利要求 19 的方法, 其中通过对露出的第二有源区的表面进行热  
氧化, 形成第二栅绝缘层。

23. 如权利要求 19 的方法, 还包括:

在第一栅绝缘层的预定区域上形成与第一有源区交叉的第一栅极图形;

20 和

在第二栅绝缘层的预定区域上形成与第二有源区交叉的第二栅极图形。

24. 如权利要求 23 的方法, 其中形成第一和第二栅极图形的步骤包括:

在形成第一和第二栅绝缘层的所得结构的整个表面上顺序形成第一导电  
层、层间栅介质层和第二导电层; 和

25

连续构造第二导电层、层间栅介质层和第一导电层, 从而形成在第一栅  
绝缘层的预定区域上顺序层叠的第一栅电极、第一层间栅介质层和第一虚设  
栅电极, 同时形成在第二栅绝缘层的预定区域上顺序层叠的第二栅电极、第  
二层间栅介质层和第二虚设栅电极。

25. 如权利要求 23 的方法, 其中形成第一和第二栅极图形的步骤包括:

30

在形成第一和第二栅绝缘层的所得结构的整个表面上形成第一导电层;

00-12-18

构图第一导电层，形成露出与第二有源区相邻的绝缘层图形的第一导电层图形；

在形成第一导电层图形的所得结构的整个表面上顺序形成层间栅介质层和第二导电层；和

连续构图第二导电层、层间栅介质层和第一导电层图形，从而形成在第一栅绝缘层的预定区域上顺序层叠的第一栅电极、第一层间栅介质层和第一虚设栅电极，同时形成在第二栅绝缘层的预定区域上顺序层叠的浮动栅、第二层间栅介质层和控制栅电极。



## 说明书

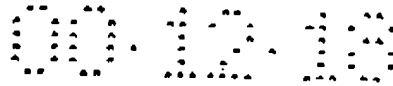
### 具有多栅绝缘层的半导体器件及其制造方法

5 本发明涉及半导体器件及其制造方法，特别涉及具有多栅绝缘层的半导体器件及其制造方法。

为了增加集成度和减小功耗，诸如半导体存储器或半导体逻辑器件之类的大多数半导体器件使用多个 MOS 晶体管。通常，在半导体器件中，具有独特厚度的氧化层用作所有 MOS 晶体管的栅绝缘层。可是，诸如电可编程  
10 只读存储器（EPROM）器件、电可擦可编程只读存储器（EEPROM）器件或闪存存储器之类的非易失性存储器在读出模式中要求低电压 MOS 晶体管操作和在擦除或编程模式中要求高电压 MOS 晶体管操作。因此，在非易失性存储器中要形成至少两种类型的 MOS 晶体管。

施加给高电压 MOS 晶体管的电压高于施加给低电压 MOS 晶体管的电压。因而，高电压 MOS 晶体管应该设计得与低电压 MOS 晶体管不同。例如，为了实现在高电压下的可靠性，高电压 MOS 晶体管的栅绝缘层厚度应该厚于低电压 MOS 晶体管的栅绝缘层厚度。结果，在这种器件中，为了制造非易失性存储器，需要形成厚度彼此不同的至少两种类型的栅绝缘层，即  
15 多栅绝缘层。

20 在本申请中引证供参考的 Chang 等人的题目为“Method to incorporate non-volatile memory and logic components into a single sub-0.3 micron fabrication process for embedded non-volatile memory”的美国专利 5723355 中教导了制造非易失性存储器的方法。该方法包括在半导体衬底整个表面上顺序形成单元晶体管的沟道氧化层和用于浮动栅的多晶硅层的步骤。连续构图  
25 多晶硅层和沟道氧化层，露出在高电压 MOS 晶体管区域中的衬底和逻辑 MOS 晶体管区域中的衬底。在露出的半导体衬底表面上形成用于高电压 MOS 晶体管的栅绝缘层。选择去除在逻辑 MOS 晶体管区域中的栅绝缘层，露出逻辑 MOS 晶体管区域中的衬底。在逻辑 MOS 晶体管区域中露出的衬底表面上形成用于逻辑 MOS 晶体管的栅绝缘层。



按照美国专利 5723355, 可防止单元晶体管区域中的沟道氧化层与曝光高电压晶体管区域和逻辑晶体管区域的第一光致抗蚀剂图形直接接触。从而可防止沟道氧化层因第一光致抗蚀剂图形而被沾污。可是, 形成于高电压晶体管区域中的栅绝缘层与仅曝光逻辑晶体管区域的第二光致抗蚀剂图形直接接触。这样, 高电压晶体管的栅绝缘层被第二光致抗蚀剂图形沾污。结果, 使高电压晶体管的栅绝缘层的可靠性降低。

图 1 是展示具有多栅绝缘层的典型非易失性存储器的一部分的俯视图。附图中, 参考符号 “a” 表示周边电路区域中的高电压晶体管区域, 参考符号 “b” 表示单元阵列区域。单元阵列区域 b 相应于周边电路区域中的低电压晶体管区域。

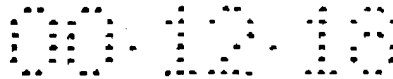
参照图 1, 分别在高电压晶体管区域 a 和单元阵列区域 b 中设置第一有源区 1a 和第二有源区 1b。第一栅极图形 GP1 与第一有源区 1a 交叉。第一栅绝缘层夹置于第一栅极图形 GP1 与第一有源区 1a 之间。第一栅极图形 GP1 包括顺序层叠的第一栅电极、第一层间 (inter) 栅介质层和第一虚设栅电极。同样地, 第二栅极图形 GP2 与第二有源区 1b 交叉。第二栅极图形 GP2 包括顺序层叠的浮动栅 FG、第二层间栅介质层和控制栅电极 CG。第二栅绝缘层即沟道氧化层夹置于浮动栅 FG 与第二有源区 1b 之间。第二栅绝缘层比第一栅绝缘层薄。浮动栅 FG 应该与相邻的浮动栅 (未示出) 分开并与控制栅电极 CG 的一部分重叠。这样, 为了形成浮动栅 FG, 需要两次构图处理。具体地说, 通过曝光与第二有源区 1b 相邻的隔离区 3 的第一构图工序和限定控制栅电极 CG 的第二构图工序来形成浮动栅。

如果单元阵列区域 b 相应于周边电路区域中的低电压晶体管区域, 第二栅极图形 GP2 包括顺序层叠的第二栅电极、第二层间栅介质层和第二虚设栅电极。此时, 第二栅电极完全与第二虚设栅电极重叠。

图 2-8、9A、9B、10、11、12A 和 12B 是展示常规技术的半导体器件制造方法的剖面图。各图中, 参考符号 “a” 表示图 1 的高电压晶体管区域, 而参考符号 “b” 表示图 1 的单元阵列区域。此外, 图 2-8、10 和 11 是沿图 1 的线 I-I 或线 II-II 的剖面图。此外, 图 9A 和 12A 是沿图 1 的线 I-I 的剖面图, 和图 9B 和 12B 是沿图 1 的线 II-II 的剖面图。

参照图 2, 在半导体衬底 11 的整个表面上形成第一栅绝缘层 13 即用于高





电压晶体管的栅绝缘层。通过对半导体衬底 11 例如硅衬底进行热氧化来形成第一栅绝缘层 13。为了获得耐诸如 15 伏到 20 伏的程序电压和/或擦除电压之类的高电压的能力，形成厚度至少为 300 埃的第一栅绝缘层 13。

形成覆盖高电压晶体管区域 a 的第一光致抗蚀剂图形 15。用第一光致抗蚀剂图形 15 作为腐蚀掩模，湿式腐蚀第一栅绝缘层 13，从而露出单元阵列区域 b 的衬底 11。

参照图 3，去除第一光致抗蚀剂图形 15。对去除第一光致抗蚀剂图形 15 的所得结构进行第一热氧化处理，由此在单元阵列区域 b 的露出的衬底上形成第二栅绝缘层 17，即单元晶体管的沟道氧化层。形成第二栅绝缘层 17，使其为 100 埃或以下的薄厚度。此时，如图 3 所示，在第一栅绝缘层 13 与第二栅绝缘层 17 之间存在表面台阶差 (step difference) T，表面台阶差 T 相应于至少第一栅绝缘层 13 与第二栅绝缘层 17 之间的厚度差。

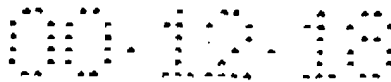
在形成第一栅绝缘层 13 和第二栅绝缘层 17 的所得结构的整个表面上顺序形成第一导电层 19 和化学机械抛光 (CMP) 中止层 21。第一导电层 19 由掺杂的多晶硅层形成，和 CMP 中止层 21 由氮化硅层形成。

参照图 4，继续构图 CMP 中止层 21 和第一导电层 19，在高电压晶体管区域 a 中形成第一基层 (pad) 图形和在单元阵列区域 b 中形成第二基层图形。第一基层图形包括顺序层叠在高电压晶体管区域 a 的预定区域上的第一导电层图形 19a 和 CMP 中止层图形 21a。同样地，第二基层图形包括顺序层叠在单元阵列区域 b 的预定区域上的第一导电层图形 19b 和 CMP 中止层图形 21b。

用第一和第二基层图形作为腐蚀掩模，腐蚀第一栅绝缘层 13 与第二栅绝缘层 17，露出衬底 11。接着，干式腐蚀露出的衬底 11，由此形成在高电压晶体管区域 a 中限定至少一个第一有源区 1a 和在单元阵列区域 b 中限定至少一个第二有源区 1b 的沟槽区 23。此时，如图 4 所示，沟槽区 23 的侧壁可以为倾斜的图形。这是因为在干式腐蚀工序期间在被腐蚀区域的侧壁上吸收了聚合物。

对具有沟槽区 23 的所得结构进行热氧化，在沟槽区 23 的侧壁和底部形成热氧化层 25a。此时，还可在第一导电层图形 19a 和第二导电层图形 19b

的侧壁形成热氧化层 25b。为了修补在形成沟槽区 23 的干式腐蚀工序期间对



衬底 11 的腐蚀损伤, 形成该热氧化层 25a。

参照图 5, 在形成热氧化层 25a 的所得结构的整个表面上形成填充沟槽区 23 的绝缘层。对绝缘层进行平面化处理直到露出 CMP 中止层图形 21a 和 21b, 由此在沟槽区 23 中形成绝缘层图形 27。此时, 与单元区域 b 中的 CMP 中止层图形 21b 相比, 更多地对高电压晶体管区域 a 中的 CMP 中止层图形 21a 进行了抛光。这是因为参照图 3 所述的台阶差 T。因而, 保留在高电压晶体管区域 a 中的 CMP 中止层图形 21a' 变得薄于保留在单元阵列区域 b 中的 CMP 中止层图形 21b。结果, 从绝缘层图形 27 的上表面到第一栅绝缘层 13 上表面的第一深度 T1 浅于从绝缘层图形 27 的上表面到第二栅绝缘层 17 上表面的第二深度 T2。

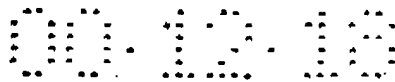
参照图 6, 在去除 CMP 中止层图形 21a' 和 21b 之后, 使绝缘层图形 27 凹进, 形成隔离层 27a (或 27b)。此时, 要求准确地控制凹进工艺。具体地说, 在用下凹进 (under-recessing) 工艺方法形成其上表面 27' 高于第一栅绝缘层 13 上表面的第一隔离层 27a 的情况下, 在随后的工序中将要形成的相邻浮动栅之间会留下纵梁 (stringer)。

或者, 在用上凹进 (over-recessing) 工艺方法形成其上表面 27'' 低于第一栅绝缘层 13 上表面的第二隔离层 27b 的情况下, 会发生第一栅绝缘层 13 变薄的效果。换言之, 使第一有源区 1a 与随后工序中形成的高电压晶体管的栅电极之间的介质击穿特性降低。特别是, 第二隔离层 27b 的上表面 27'' 具有与第二栅绝缘层 17 的上表面相同的高度, 就可以完全去除相邻浮动栅之间的纵梁。可是, 在这种情况下, 会明显降低高电压晶体管的介质击穿特性。

图 7、8、9A 和 9B 是更详细地展示在第一隔离层 27a 的上表面具有与第一栅绝缘层 13 的上表面相同高度的情况下常规技术问题的剖面图。

参照图 7, 在形成第一隔离层 27a 的所得结构的整个表面上形成第二导电层 29。在第二导电层 29 上形成覆盖高电压晶体管区域 a 和第二有源区 1b 的第二光致抗蚀剂图形 31。

参照图 8, 用第二光致抗蚀剂图形 31 作为腐蚀掩模, 腐蚀第二导电层 29, 由此在单元阵列区域 b 中形成露出第一隔离层 27a 的第二导电层图形。第二导电层图形包括覆盖高电压晶体管区域 a 整个表面的第二导电层图形 29a 和覆盖第二有源区 1b 的第二导电层图形 29b。在具有第二导电层图形 29a 和



29b 的所获得的整个表面上顺序形成层间栅介质层 33 和第三导电层 35。

参照图 9A 和 9B, 各向异性腐蚀第三导电层 35、层间栅介质层 33、第二导电层图形 29a 和 29b 和第一导电层图形 19a 和 19b, 由此形成与第一有源区 1a 交叉的第一栅极图形 GP1 和与第二有源区 1b 交叉的第二栅极图形 GP2。此时, 在相邻第二栅极图形之间的第二有源区 1b 的边缘上有纵梁 19s。由于第一导电层图形 19b 的倾斜侧壁, 因而形成纵梁 19s。由于第一隔离层 27a 的上表面变得较高, 因而更难以去除纵梁 19s。

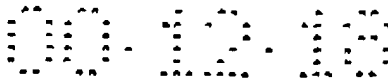
第一栅极图形 GP1 包括顺序层叠的第一栅电极 30a、第一层间栅介质层 33a 和第一虚设栅电极 35a。此外, 第一栅电极 30a 包括覆盖第一栅绝缘层 13 一部分的第一导电层图形 19a' 和横过第一导电层图形 19a' 的第二导电层图形 29a'。同样地, 第二栅极图形 GP2 包括顺序层叠的浮动栅 FG、第二层间栅介质层 33b 和控制栅电极 CG。此外, 浮动栅 FG 包括覆盖第二栅绝缘层 17 一部分的第一导电层图形 19b' 和覆盖第一导电层图形 19b' 的第二导电层图形 29b'。

此外, 如果用常规方法在第一栅极图形 GP1 和第二栅极图形 GP2 的侧壁上形成氮化硅间隔层 (未示出), 如图 9A 所示, 则在纵梁 19s 的侧壁上形成间隔层残留物 (spacer residue) 37。这是由于在第二有源区 1b 的上表面和与第二有源区 1b 相邻的第一隔离层 27a 的上表面之间存在台阶差。因此, 如果在随后的工序中在第二有源区 1b 上形成接触孔例如无边界 (borderless) 接触孔, 那么由接触孔露出的第二有源区 1b 的面积将被减少。

图 10、11、12A 和 12B 是更详细地展示在第二隔离层 27b 的上表面具有与第二栅绝缘层 17 的上表面相同高度的情况下常规技术问题的剖面图。参照图 10、11、12A 和 12B, 用与参照图 7、8、9A 和 9B 所述的相同方式形成第一栅极图形 GP1 和第二栅极图形 GP2。在这种情况下, 即使第一导电层图形 19a 和 19b 的侧壁有倾斜的图形, 在第二有源区 1b 的边缘也不形成纵梁。这是因为第二隔离层 27b 的上表面具有与第二栅绝缘层 17 上表面相同的高度。可是, 如图 12B 所示, 第一栅绝缘层 13 的有效厚度在第一栅绝缘层 13 的边缘部分 W 被相对地减小。

如上所述, 按照常规技术, 难以确定使绝缘层图形凹进沟槽区域中的最

佳条件。即使沟槽区域呈现垂直侧壁图形, 为了避免第一栅绝缘层变薄的效



果,隔离层的上表面也应该高于第一栅绝缘层的上表面。如果第一和第二栅绝缘层之间的台阶差增加,那么使绝缘层图形凹进的工艺处理裕量将被减小。同时,如果沟槽区域侧壁呈现严重倾斜,那么为了抑制纵梁的发生,隔离层的上表面应该低于第一栅绝缘层的上表面。可是,如果隔离层的上表面

5 低于第一栅绝缘层的上表面,则第一栅绝缘层的有效厚度将减小。

因此,本发明的目的在于提供一种半导体器件,通过使彼此具有不同厚度的多栅绝缘层之间的台阶差最小,该半导体器件具有高可靠性。

本发明的另一个目的在于提供一种制造半导体器件的方法,通过使彼此具有不同厚度的多栅绝缘层之间的台阶差最小,该方法可增加用于形成隔离

10 层的凹进工序的工艺处理裕量。

本发明的再一个目的在于提供一种制造半导体器件的方法,该方法可防止在相邻栅电极之间形成纵梁。

本发明的又一个目的在于提供一种制造半导体器件的方法,该方法可改善彼此具有不同厚度的多栅绝缘层的介质击穿特性。

按照本发明的一个方案,半导体器件包括由在半导体衬底的预定区域形成的隔离区限定的多个有源区。多个有源区包括至少一个第一有源区和至少一个第二有源区。第一有源区的上表面低于第二有源区的上表面。分别用第一栅绝缘层和第二栅绝缘层覆盖第一和第二有源区。第一栅绝缘层厚于第二栅绝缘层。在多个有源区之间的半导体衬底上形成隔离区。隔离区的底部低

15 于第一有源区的表面。用覆盖第一栅绝缘层和第二栅绝缘层的整个侧壁的隔离层填充隔离区。

20

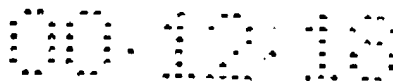
在一个实施例中,在第一和第二栅绝缘层的上表面之间的台阶差小于第一和第二绝缘层之间的厚度差。

此外,在一个实施例中,隔离区的底部低于第一有源区的上表面。隔离

25 区可以是在半导体衬底的预定区域中被腐蚀的沟槽区域。

为了实现上述目的,按照本发明一个实施例的方法包括形成第一栅绝缘层的步骤,其中该栅绝缘层的下表面低于半导体衬底预定区域处半导体衬底的主表面。在与第一栅绝缘层相邻的衬底主表面处形成其厚度薄于第一绝缘层的第二栅绝缘层。在具有第一和第二栅绝缘层的所得结构的整个表面上顺

30 序形成第一导电层和化学机械抛光(CMP)中止层。连续腐蚀CMP中止层、



第一导电层、第一和第二栅绝缘层以及衬底，形成隔离区，例如限定第一栅绝缘层下的第一有源区和第二栅绝缘层下的第二有源区的沟槽区。在隔离区内形成绝缘层图形。然后去除构图的 CMP 中止层，使绝缘层图形凹进，形成隔离层。

5 第一和第二栅绝缘层可由热氧化层构成。

使绝缘层图形凹进，以便仍用隔离层覆盖第一和第二栅绝缘层的整个侧壁。

为了实现上述目的，按照本发明另一实施例的方法包括在半导体衬底上形成多个基层图形的步骤。然后用基层图形作为腐蚀掩模腐蚀该衬底，从而形成限定至少一个第一有源区和至少一个第二有源区的沟槽区。在沟槽区中形成绝缘层图形。选择去除第一有源区上的基层图形，露出第一有源区。在第一有源区表面形成第一栅绝缘层。第一栅绝缘层的下表面可低于第二有源区的上表面。然后去除第二有源区上的基层图形，选择地露出第二有源区。在第二有源区表面形成薄于第一栅绝缘层的第二栅绝缘层。

15 第一栅绝缘层的下表面可低于第二栅绝缘层的下表面。

此外，第一和第二栅绝缘层可由热氧化层形成。

根据如附图所示的对本发明优选实施例更具体的描述，本发明的前述和其它目的、特征和优点将是明显的，其中在所有附图中用相同的参考符号表示相同的部分。附图不需要按比例画出，重点在于展示发明的原理。

20 图 1 是展示具有多栅绝缘层的典型非易失性存储器一部分的俯视图。

图 2-8、9A、9B、10、11、12A 和 12B 是展示制造半导体器件的常规方法的剖面图。

图 13-22、23A 和 23B 是展示本发明一个实施例的制造半导体器件的方法的剖面图。

25 图 24-30、31A 和 31B 是展示本发明另一个实施例的制造半导体器件的方法的剖面图。

图 32 是展示本发明的具有多栅绝缘层的半导体器件的剖面图。

下面参照展示本发明优选实施例的附图更详细地描述本发明。可是，本发明可以按许多不同的形式来实施，并且不限于本申请实施例的结构。更宁

30 愿说，提供这些实施例，以便本公开是充分和全面的，并将本发明的范围详



- 尽地传达给本领域的技术人员。附图中，为了简明起见，各层和区域的厚度被夸大。还应该理解，当称一层在另一层或衬底上时，它可以直接在另一层或衬底之上，或者可以有夹置层。附图中，参考符号“a”表示图1的高电压晶体管区域，参考符号“b”表示图1的单元阵列区域。此外，图13-22、
- 5 24-30和32是沿图1的线I-I或线II-II的剖面图。再有，图23A和31A是沿图1的线I-I的剖面图，图23B和31B是沿图1的线II-II的剖面图。

参照图32，在半导体衬底301例如硅衬底的预定区域形成限定多个有源区的隔离区307。多个有源区包括限定在高电压晶体管区域a中的至少一个第一有源区1a和限定在单元阵列区域b中的至少一个第二有源区1b。

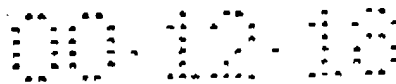
- 10 优选地，第一有源区1a的上表面低于第二有源区1b的上表面。此外，优选地，隔离区307的下表面低于第一有源区1a的上表面。隔离区307可以是在衬底301中腐蚀形成的沟槽区。

- 15 用第一栅绝缘层305a覆盖第一有源区1a。同样地，用第二栅绝缘层305b覆盖第二有源区1b。优选地，第一栅绝缘层305a与第二栅绝缘层305b的上表面之间的台阶差小于第一栅绝缘层305a与第二栅绝缘层305b之间的厚度差。最好，第一栅绝缘层305a的上表面具有与第二栅绝缘层305b的上表面相同的高度。换言之，第一栅绝缘层305a的厚度最好等于第一栅绝缘层305a与第二栅绝缘层305b的上表面之间的台阶差D和第二栅绝缘层305b的厚度之和。

- 20 用隔离层309填充隔离区307。优选地，用隔离层309覆盖第一栅绝缘层305a和第二栅绝缘层305b的整个侧壁。换言之，优选地，隔离层309的上表面具有与第一栅绝缘层305a与第二栅绝缘层305b的上表面中最高上表面相同的高度或高于该最高上表面。在隔离层309与衬底301之间夹置薄热氧化层311。为了修补对隔离区307例如沟槽的腐蚀损伤，形成该热氧化层311。

- 25 第一栅极图形GP1设置在第一栅绝缘层305a的预定区域上并且与第一有源区1a交叉。第一栅极图形GP1包括顺序层叠的第一栅电极313a、第一层间栅介质层315a和第一虚设栅电极317a。此外，第二栅极图形GP2设置在第二栅绝缘层305b的预定区域上并且与第二有源区1b交叉。第二栅极图形GP2包括顺序层叠的浮动栅FG、第二层间栅介质层315b和控制栅电极CG。

- 30 其中，浮动栅FG仅在控制栅电极CG与第二有源区1b之间的重叠区域处，



而控制栅电极 CG 横过第二有源区 1b。

如果单元阵列区域 b 相应于周边电路区域中的低电压晶体管区域，那么第二栅极图形 GP2 包括顺序层叠的第二栅电极、第二层间栅介质层和第二虚设栅电极。其中，第二栅电极与第二虚设栅电极完全重叠，与浮动栅 FG 不

5 同。

下面描述本发明实施例的制造半导体器件的方法。图 13-22、23A 和 23B 是展示本发明一实施例的制造半导体器件方法的剖面图。

参照图 13，在半导体衬底 101 例如硅衬底的主表面上顺序形成基层氧化层 103、基层氮化层 105 和掩模氧化层 107。通过热氧化衬底 101 形成基层氧化层 103，由化学汽相淀积 (CVD) 氮化硅层形成基层氮化层 105。此外，  
10 氧化层 103，由化学汽相淀积 (CVD) 氮化硅层形成基层氮化层 105。此外，优选地，由相对于基层氮化层 105 例如 CVD 氧化层具有腐蚀选择性的材料层形成掩模氧化层 107。基层氧化层 103 的厚度形成为 200 埃或以下，优选地厚度为 100 埃或以下，基层氮化层 105 的厚度形成为 50 埃至 200 埃。并且，掩模氧化层 107 的厚度形成为 100 埃至 500 埃。在掩模氧化层 107 上形  
15 成露出高电压晶体管区域 a 即第一区域的第一光致抗蚀剂图形 109。

参照图 14，用第一光致抗蚀剂图形 109 作为腐蚀掩模，腐蚀掩模氧化层 107，从而形成覆盖单元阵列区域 b 即第二区域的构图的掩模氧化层 107a。优选地利用诸如氢氟酸 (HF) 或缓冲氧化剂 (BOE) 之类的湿式腐蚀剂腐蚀掩模氧化层 107。这是因为在用干式腐蚀工艺方法腐蚀掩模氧化层 107 的情  
20 况下，可能会腐蚀损伤衬底 101 的主表面。然后去除第一光致抗蚀剂图形 109。

参照图 15，用构图的掩模氧化层 107a 作为腐蚀掩模，选择腐蚀高电压晶体管区域 a 中的基层氮化层 105，从而形成覆盖单元阵列区域 b 的构图的基层氮化层 105a。优选地，为了防止对衬底 101 的腐蚀损伤，还可利用诸如磷酸 (H<sub>3</sub>PO<sub>4</sub>) 之类的湿式腐蚀剂腐蚀基层氮化层 105。然后，用构图的基层氮化层 105a 作为腐蚀掩模，湿式腐蚀基层氧化层 103，从而形成覆盖单元阵列区域 b 的构图的基层氧化层 103a。结果，去除构图的掩模氧化层 107a 和选  
25 择露出高电压晶体管区域 a 中的衬底 101。

同时，可省略图 3 中所示的形成掩模氧化层 107 的工序。此时，为了防

止在使用磷酸 (H<sub>3</sub>PO<sub>4</sub>) 的湿式腐蚀工艺期间光致抗蚀剂图形 109 被消除，



因此第一光致抗蚀剂图形 109 与基层氮化层 105 之间的粘接应该是强的。

参照图 16, 对在高电压晶体管区域 a 中露出衬底 101 的所得结构进行热氧化处理, 从而选择形成第一栅绝缘层 111, 例如在露出的衬底 101 表面的第一栅绝缘层。此时, 如图 16 所示, 因热氧化工艺的特点, 因而第一栅绝缘层 111 具有低于衬底 101 主表面的下表面。可是, 第一栅绝缘层 111 的上表面高于衬底 101 的主表面。因此, 可附加进行使第一栅绝缘层 111 的上表面降低的凹进工艺, 以便第一栅绝缘层 111 具有接近衬底 101 主表面的上表面 F。结果, 考虑凹进工艺, 优选地使第一栅绝缘层 111 形成为其厚度厚于在后序工艺中保留的第一栅绝缘层 111 的最终厚度。例如, 在高电压晶体管要求厚度为 350 埃的栅绝缘层的情况下, 优选地使第一栅绝缘层 111 形成为其初始厚度至少为 700 埃。此时, 优选地使第一栅绝缘层 111 凹进 150-200 埃的厚度。

此外, 用构图的基层氮化层 105a 作腐蚀掩模, 在形成第一栅绝缘层 111 之前, 可将高电压晶体管区域 a 中露出的衬底 101 腐蚀到预定深度。在这种情况下, 可形成其上表面接近衬底 101 主表面高度的第一栅绝缘层 111 而不用进行第一栅绝缘层 111 的凹进工序。

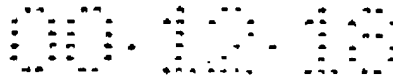
参照图 17, 用诸如磷酸之类的湿式腐蚀剂去除构图的基层氮化层 105a。然后湿式腐蚀构图的基层氧化层 103a, 在单元阵列区域 b 中露出衬底 101。此时, 按构图的基层氧化层 103a 的厚度或多于该厚度, 使第一栅绝缘层 111 凹进。这样, 高电压晶体管区域 a 中保留的第一栅绝缘层 11a 的厚度约为 350 埃到 400 埃。结果, 与常规技术相比, 可显著降低第一栅绝缘层 11a 的上表面与露出的衬底 101 之间的台阶差 S。

供选择的另一种方式是, 可省略参照图 6 所述的第一栅绝缘层 111 的凹进工艺。在这种情况下, 可以通过过腐蚀构图的基层氧化层 103a 形成第一栅绝缘层 111a。

参照图 18, 对去除构图的基层氧化层 103a 的所得结构进行热氧化处理, 由此在单元阵列区域 b 中露出的衬底 101 的表面形成例如薄沟道氧化层等的 80 埃或以下的薄厚度的第二栅绝缘层 113。因此, 与常规技术相比, 可降低第一栅绝缘层 111a 与第二栅绝缘层 113 的上表面之间的台阶差。最好, 第

一栅绝缘层 111a 的上表面具有与第二栅绝缘层 113 的上表面相同的高度。





在具有第一栅绝缘层 111a 和第二栅绝缘层 113 的所得结构上顺序形成第一导电层 115 和 CMP 中止层 117。第一导电层 115 优选地由厚度为 500 埃到 1000 埃的掺杂多晶硅层形成, CMP 中止层 117 优选地由厚度为 500 埃到 2000 埃的氮化硅层形成。

- 5 参照图 19, 对 CMP 中止层 117 和第一导电层 115 连续地构图, 分别在高电压晶体管区域 a 中形成至少一个第一基层图形和在单元阵列区域 b 中形成至少一个第二基层图形。第一基层图形包括在高电压晶体管区域 a 的预定区域上顺序层叠的第一导电层图形 115a 和 CMP 中止层图形 117a。同样地, 第二基层图形包括在单元阵列区域 b 的预定区域上顺序层叠的第二导电层图形 115b 和 CMP 中止层图形 117b。

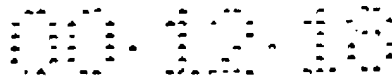
- 10 用 CMP 中止层图形 117a 和 117b 作为腐蚀掩模, 同时干式腐蚀第一栅绝缘层 111a 和第二栅绝缘层 113, 从而露出衬底 101 的一部分。接着, 用 CMP 中止层图形 117a 和 117b 作为腐蚀掩模, 干式腐蚀露出的衬底 101, 由此形成隔离区 119, 例如在第一基层图形之下限定第一有源区 1a 和在第二基层图形之下限定第二有源区 1b 的沟槽区。

15 对具有隔离区 119 的所得结构进行热氧化处理, 由此在隔离区 119 的侧壁和底部形成热氧化层 121a。此时, 在第一导电层图形 115a 和 115b 的侧壁还形成热氧化层 121b, 例如多晶硅图形。为了修护在形成沟槽区的腐蚀工艺期间对衬底 101 的腐蚀损伤, 进行该热氧化工艺处理。

- 20 参照图 20, 在具有热氧化层 121a 和 121b 的所得结构的整个表面上形成填充隔离区 119 的绝缘层。优选地, 绝缘层由高密度等离子体 (HDP) 氧化层形成。通过交替地进行淀积工艺处理和溅射腐蚀工艺处理形成 HDP 氧化层。特别是, 突出的角部区域比平面区域腐蚀得更多。这样, 可用 HDP 氧化层完全填充具有高纵横比的间隙区域。此外, 在绝缘层由 HDP 氧化层形成的情况下, CMP 中止层图形 117a 和 117b 的侧壁呈现倾斜的图形。这是由于在 HDP 处理期间反复地进行溅射腐蚀工艺处理。

25 使绝缘层平面化直到露出 CMP 中止层图形 117a 和 117b。优选地, 利用 CMP 工艺进行平面化工艺处理。结果, 在隔离区 119 中形成绝缘层图形 123。此时, 与常规技术相比, 明显降低从 CMP 中止层图形 117a 的上表面到第一

- 30 栅绝缘层 111a 上表面的第一深度 T1' 与从 CMP 中止层图形 117b 的上表面到



第二栅绝缘层 111b 上表面的第二深度  $T2'$  之差。这是由于第一栅绝缘层 111a 与第二栅绝缘层 113 的上表面之间的台阶差小于常规技术的该台阶差。最好，第一深度  $T1'$  等于第二深度  $T2'$ 。

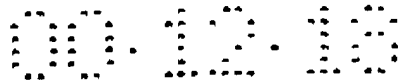
参照图 21，在去除 CMP 中止层图形 117a 和 117b 之后，使绝缘层图形 123 凹进，形成隔离层 123a。其中，如果第一深度  $T1'$  浅于第二深度  $T2'$ ，优选地，按第一深度  $T1'$  腐蚀绝缘层图形 123。相反，如果第一深度  $T1'$  深于第二深度  $T2'$ ，优选地，按第二深度  $T2'$  腐蚀绝缘层图形 123。结果，隔离层 123a 覆盖第一栅绝缘层 111a 和第二栅绝缘层 113 的整个侧壁。

由于可减小第一深度  $T1'$  与第二深度  $T2'$  之差，因而使绝缘层图形 123 凹进的工艺裕量变得较大。例如，在第一深度  $T1'$  等于第二深度  $T2'$  的情况下，绝缘层图形 123 的最大允许凹进限度相应于第一深度  $T1'$  或第二深度  $T2'$ 。可是，如图 5 所示，按照常规技术，绝缘层图形 27 的最大允许凹进限度相应于第一深度  $T1$ 。其中，图 5 的第一深度  $T1$  浅于本发明的第一深度  $T1'$ 。这是由于图 5 的 CMP 中止层图形 21a' 的厚度因 CMP 工艺期间第一绝缘层 13 和第二绝缘层 17 的上表面之间的台阶差而变得较小。

在包括隔离层 123a 的衬底整个表面上形成诸如掺杂多晶硅层之类的第二导电层 125。利用光掩模，在第二导电层 125 上形成第二光致抗蚀剂图形 127，用于露出与第二有源区 1b 相邻的隔离层 123a。这样，如图 21 所示，用第二光致抗蚀剂图形 127 覆盖高电压晶体管区域 a 和第二有源区 1b 的整个表面。

参照图 22，用第二光致抗蚀剂图形 127 作为腐蚀掩模，腐蚀第二导电层 125，从而形成覆盖高电压晶体管区域 a 的第二导电层图形 125a 和覆盖第二有源区 1b 的第二导电层图形 125b。然后，去除第二光致抗蚀剂图形 127。在去除第二光致抗蚀剂图形 127 的所得结构整个表面上顺序形成层间栅介质层 129 和第三导电层 131。层间栅介质层 129 由氧化硅层或包括氮化硅层的 25 多层介质层形成。氮化/氧化 (N/O) 层或氧化/氮化/氧化 (O/N/O) 层广泛地用作多层介质层。此外，第三导电层 131 可由掺杂多晶硅层或难熔金属多晶硅硅化物 (polycide) 层形成。钨多晶硅硅化物层、钛多晶硅硅化物层、钽多晶硅硅化物层等可广泛用作难熔金属多晶硅硅化物层。

同时，在单元阵列区域 b 相应于周边电路区域的低电压晶体管区的情况 30 下，不必形成第二光致抗蚀剂图形 127。换言之，在如图 1 和 32 所示形成非



易失性存储器的浮动栅 FG 的情况下需要第二光致抗蚀剂图形 127。

参照图 23A 和 23B, 连续构图第三导电层 131、层间栅介质层 129、第二导电层图形 125a 和 125b 以及第一导电层图形 115a 和 115b, 由此形成分别与第一有源区 1a 和第二有源区 1b 交叉的第一栅极图形 GP1 和第二栅极图形 GP2。第一栅极图形 GP1 包括顺序层叠的第一栅电极 126a、第一层间栅介质层 129a 和第一虚设栅电极 131a。其中, 第一栅电极 126a 包括在第一栅绝缘层 111a 上保留的第一导电层图形 115a' 和与第一导电层图形 115a 交叉的第二导电层图形 125a'。

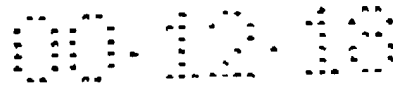
此外, 第二栅极图形 GP2 包括顺序层叠的浮动栅 FG、第二层间栅介质层 129b 和控制栅电极 CG。其中, 浮动栅 FG 包括在第二栅绝缘层 113 上保留的第一导电层图形 115b' 和覆盖第一导电层图形 115b' 的第二导电层图形 125b'。

同时, 尽管图中未示出, 如果单元阵列区域 b 相应于低电压晶体管区域, 第二栅极图形 GP2 具有与第一栅极图形 GP1 相同的结构。也就是说, 在低电压晶体管区域形成的第二栅极图形 GP2 可包括顺序层叠的第二栅电极、第二层间栅介质层和第二虚设栅电极。

如上所述, 由于可减小第一栅绝缘层 111a 与第二栅绝缘层 113 的上表面之间的台阶差, 因而使绝缘层图形 123 凹进的最大允许凹进限度变大。这样, 如图 23B 所示, 可以增加防止第一栅绝缘层 111a 与第二栅绝缘层 113 失效的工艺裕量。此外, 即使第一导电层图形 (图 19 的 115a 和 115b) 的侧壁呈现倾斜的图形, 如图 23A 所示, 在第一有源区 1a 或第二有源区 1b 的边缘并不形成由第一导电层图形 115a 或 115b 的残留物构成的纵梁。结果, 本发明提供最佳处理条件, 它可防止在相邻浮动栅之间形成纵梁和提高彼此具有不同厚度的多栅绝缘层的介质击穿特性。

图 24-30、31A 和 31B 是展示本发明另一个实施例的半导体器件制造方法的剖面图。参照图 24, 在半导体衬底 201 例如硅衬底上顺序形成基层氧化层、基层氮化层。优选地, 基层氧化层的厚度形成为 100 埃到 200 埃, 基层氮化层的厚度形成为 500 埃至 1000 埃。顺序构图基层氮化层和基层氧化层, 分别在高电压晶体管区域 a 和单元阵列区域 b 中形成至少一个基层图形 206。

基层图形 206 包括顺序层叠的基层氧化层图形 203 和基层氮化层图形 205。



用基层图形 206 作为腐蚀掩模腐蚀衬底 201, 由此形成隔离区 207, 例如在高电压晶体管区域 a 中限定第一有源区 1a 和在单元阵列区域 b 中限定第二有源区 1b 的沟槽区。在包括沟槽区的衬底上进行热氧化工艺处理, 在沟槽区的侧壁和底部形成热氧化层 209。

- 5 参照图 25, 在包括沟槽区的衬底整个表面上形成填充沟槽区的绝缘层。可以按与结合图 20 所述的本发明第一实施例相同的方法形成绝缘层。然后, 使绝缘层平面化直到露出基层氮化层图形 205, 在隔离区 207 中形成绝缘层图形 211。优选地使用 CMP 工艺方法进行平面处理。在包括绝缘层图形 211 的衬底上形成在高电压晶体管区域 a 中选择露出基层氮化层图形 205 的第一
- 10 光致抗蚀剂图形 213。

- 参照图 26, 用诸如磷酸 ( $H_3PO_4$ ) 之类的湿式腐蚀剂去除由第一光致抗蚀剂图形 213 露出的基层氮化层图形 205。然后去除第一光致抗蚀剂图形 213。接着, 用诸如氢氟酸 (HF) 或缓冲氧化物腐蚀剂 (BOE) 之类的氧化物腐蚀剂去除高电压晶体管区域 a 中的基层氧化层图形 203, 从而露出第一
- 15 有源区 1a。此时, 腐蚀绝缘层图形 211 的一部分。这样, 降低绝缘层图形 211 的上表面和在第一有源区 1a 的边缘形成第一凹进区域 R1。可是, 由于去除薄基层氧化层图形 203 的湿式腐蚀工艺方法进行时间不长, 因而使第一凹进区域 R1 形成成为浅深度。

- 参照图 27, 对露出第一有源区 1a 的所得结构进行热氧化工艺处理, 在第一
- 20 有源区 1a 的表面形成第一栅绝缘层 215。考虑到随后的凹进处理, 优选地使第一栅绝缘层 215 的厚度形成为 500 埃或以上。此时, 由于热氧化工艺处理本身的特性, 第一栅绝缘层 215 的下表面变得低于第二有源区 1b 的表面。例如, 在第一栅绝缘层 215 由厚度为 500 埃的热氧化层形成的情况下, 在第一有源区 1a 与第二有源区 1b 的表面之间形成约 200 埃到 250 埃的台阶差 D。
- 25 其中, 台阶差 D 最好等于其厚度等于后序工序中最终保留的第一栅绝缘层与在后序工序中形成的第二栅绝缘层之间的厚度之差。这样, 为了减小第一栅绝缘层 215 与第二有源区 1b 之间的台阶差, 附加地使第一栅绝缘层 215 凹进。此时, 优选地, 保留在第一有源区 1a 上的第一栅绝缘层 215 的上表面 H 仍然高于第二有源区 1b 的表面。

- 30 参照图 28, 去除单元阵列区域 1b 中基层氮化层图形 205 和基层氧化层图



形 203, 露出第二有源区 1b. 因此, 在第一有源区 1a 上形成具有预定厚度 E 的第一栅绝缘层 215a 和在沟槽区中形成隔离层 211a. 优选地, 第一栅绝缘层 215a 的上表面还要比第二有源区 1b 的表面高. 此时, 可在第二有源区 1b 的边缘形成第二凹进区域 R2. 优选地, 使第二凹进区域 R2 的深度尽可能浅.

5 参照图 29, 对露出第二有源区 1b 的所得结构进行热氧化工艺处理, 由此形成第二栅绝缘层 217, 例如厚度为 80 埃或以下的薄沟道氧化层. 此时, 第一有源区 1a 与第二栅绝缘层 217 的上表面之间的台阶差 D' 优选地等于第一栅绝缘层 215a 的厚度. 换言之, 第一栅绝缘层 215a 的上表面具有与第二栅绝缘层 217 的上表面相同的高度.

10 然后, 在包括第二栅绝缘层 217 的衬底整个表面上形成第一导电层 219. 优选地, 第一导电层 219 由掺杂多晶硅层形成. 在第一导电层 219 上形成覆盖高电压晶体管区域 a 和第二有源区 1b 的整个表面的第二光致抗蚀剂图形 221.

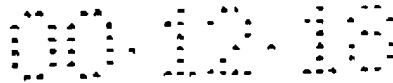
参照图 30, 用第二光致抗蚀剂图形 221 作为腐蚀掩模腐蚀第一导电层 15 219, 由此形成覆盖高电压晶体管区域 a 的第一导电层图形 219a 和覆盖第二有源区 1b 的第一导电层图形 219b. 然后去除第二光致抗蚀剂图形 221.

同时, 在单元阵列区域 b 相应于周边电路区域中的低电压晶体管区域的情况下, 不必形成第二光致抗蚀剂图形 221. 换言之, 在形成如图 1 和 32 所示的非易失性存储器的浮动栅的情况下需要第二光致抗蚀剂图形 221.

20 在去除第二光致抗蚀剂图形 221 的所得结构的整个表面上顺序形成层间栅介质层 223 和第二导电层 225. 层间栅介质层 223 由与本发明第一实施例的层间栅介质层 129 相同的材料形成. 此外, 第二导电层 225 由与本发明第一实施例的第三导电层 131 相同的材料形成.

参照图 31A 和 31B, 连续构图第二导电层 225、层间栅介质层 223 和第一 25 导电层图形 219a 和 219b, 由此形成分别与第一有源区 1a 和第二有源区 1b 交叉的第一栅极图形 GP1 和第二栅极图形 GP2. 第一栅极图形 GP1 包括顺序层叠的第一栅电极 219a'、第一层间栅介质层 223a 和第一虚设栅电极 225a. 同样地, 第二栅极图形 GP2 包括顺序层叠的浮动栅 FG、第二层间栅介质层 223b 和控制栅电极 CG.

30 并且, 尽管在附图中未示出, 如果单元阵列区域 b 相应于低电压晶体管



区域,那么第二栅极图形 GP2 有与第一栅极图形 GP1 相同的结构。也就是说,在低电压晶体管区域中形成的第二栅极图形 GP2 包括顺序层叠的第二栅电极、第二层间栅介质层和第二虚设栅电极。

5 按照本发明第二实施例,尽管在第一栅绝缘层 215a 与第二栅绝缘层 207 的上表面之间有台阶差,但如图 31A 所示,在相邻浮动栅 FG 之间并不形成纵梁。这是由于在形成可引起倾斜侧壁的沟槽隔离之后来实施用于形成浮动栅 FG 的第一构图工艺。此外,不需精确地控制用于形成隔离层的绝缘层图形凹进工艺。

10 如上所述,按照本发明,可使第一与第二栅绝缘层的上表面之间的台阶差最小。这样,可以增加在制造非易失性存储器中采用自对准沟道隔离技术形成隔离层的绝缘层图形的凹进工艺裕量。此外,可以防止在相邻栅极图形之间的有源区边缘形成纵梁。

15 此外,按照本发明,在形成限定第一和第二有源区的隔离层之后,在第一和第二有源区上分别形成用于高电压晶体管的栅绝缘层和用于单元晶体管的沟道氧化层,而不使用光致抗蚀剂层。因此,可防止栅绝缘层被光致抗蚀剂层沾污。并且,它可解决因于栅绝缘层的变薄引起的工艺失效以及纵梁的产生。

20 尽管已参照优选实施例具体展示和描述了本发明,但应该理解,本领域的技术人员可进行各种改变而不会脱离由所附权利要求所限定的本发明的精神和范围。

00.12.18

## 说明书附图

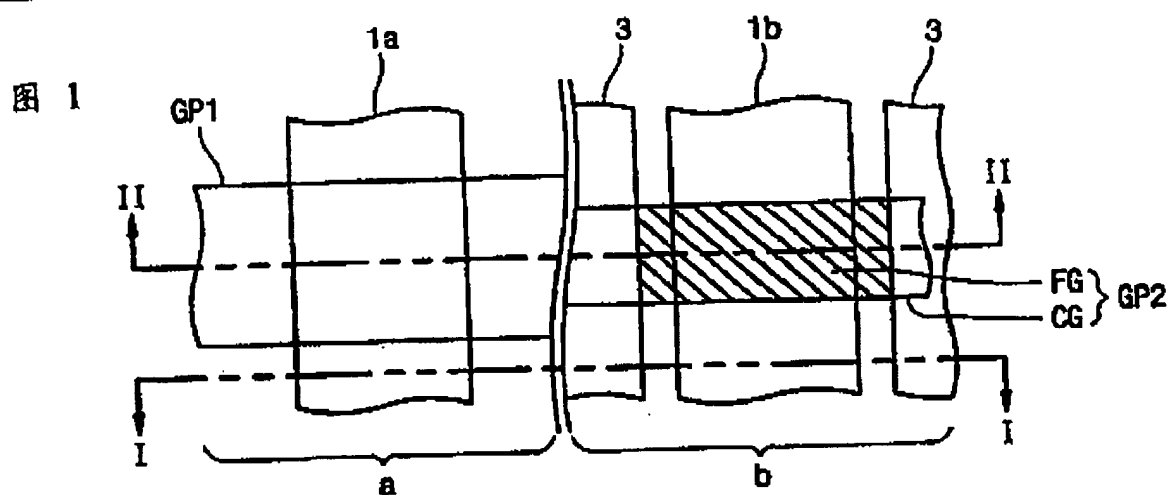


图 2

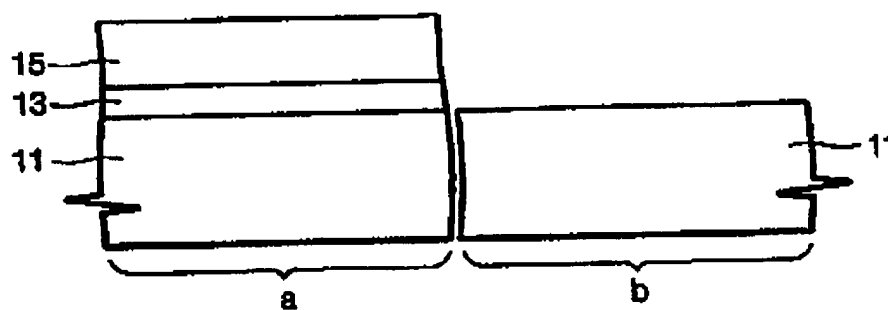
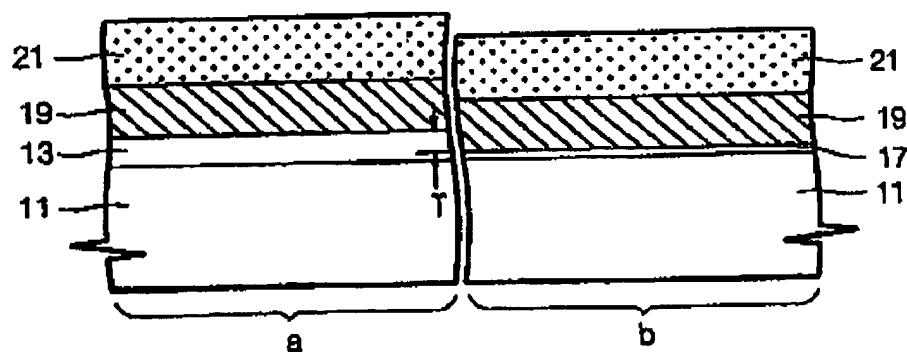


图 3



00 10 10

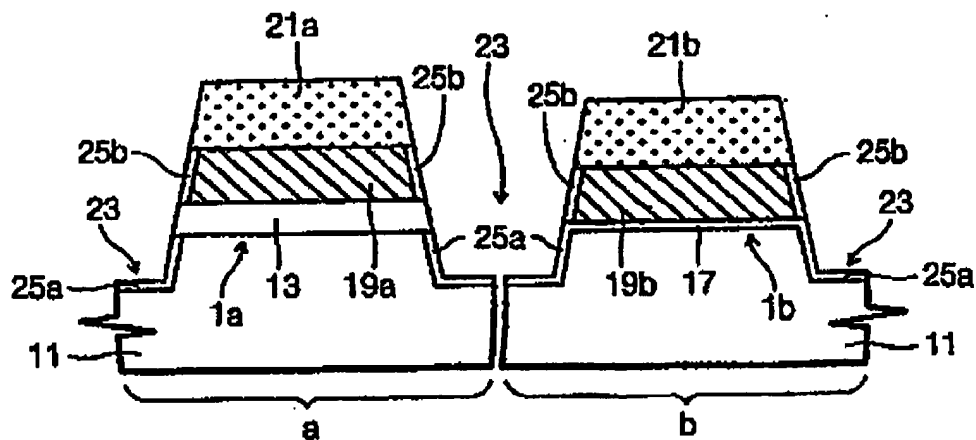


图 4

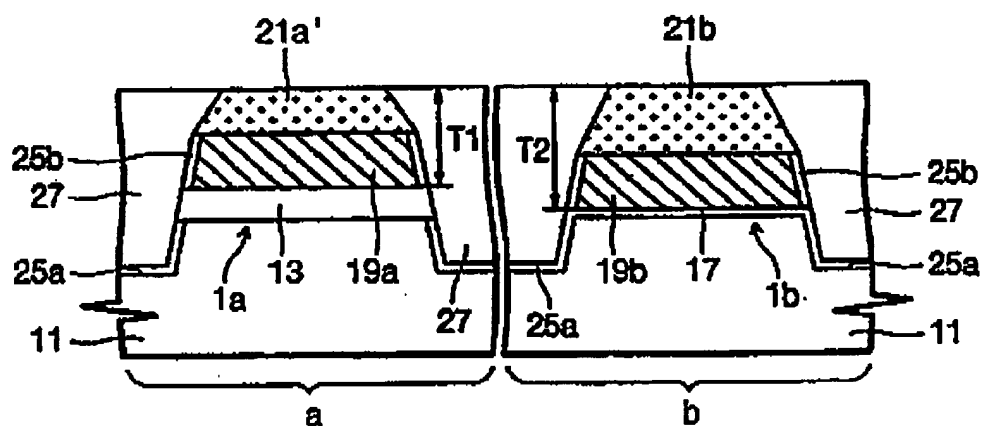


图 5

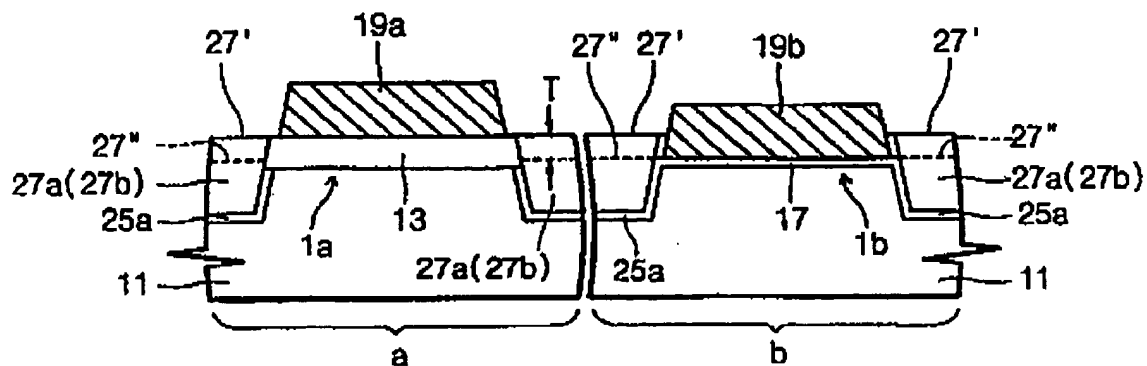


图 6



00.12.10

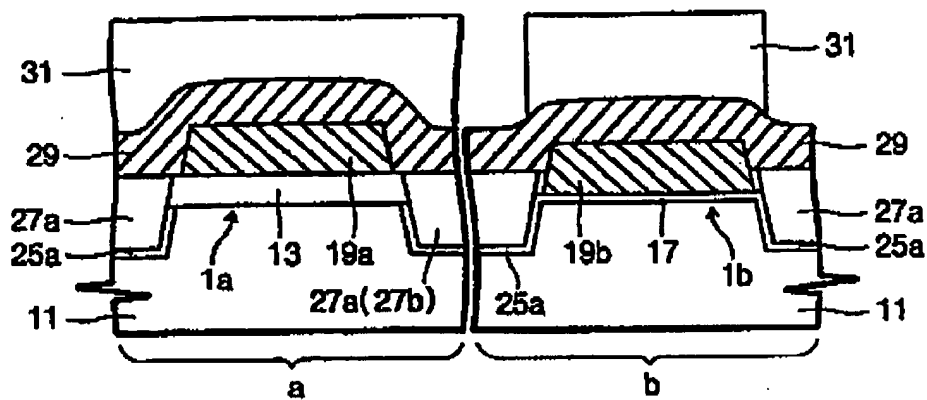


图 7

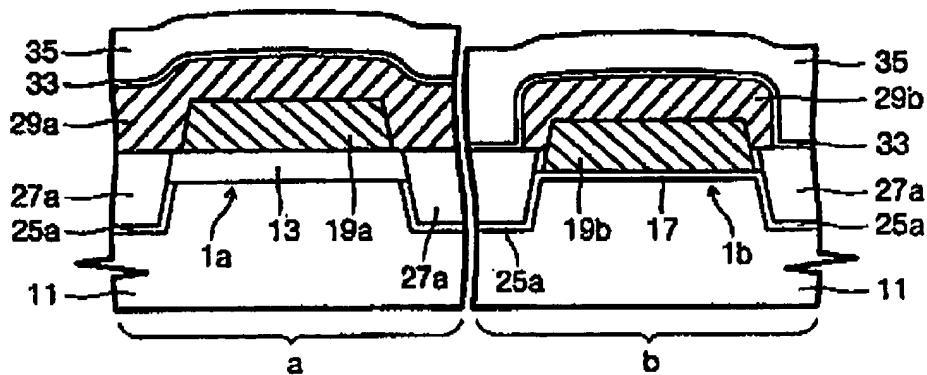


图 8

00.12.18

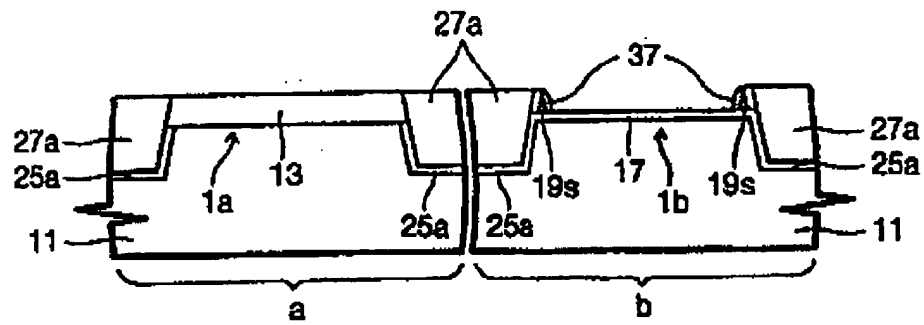


图 9A

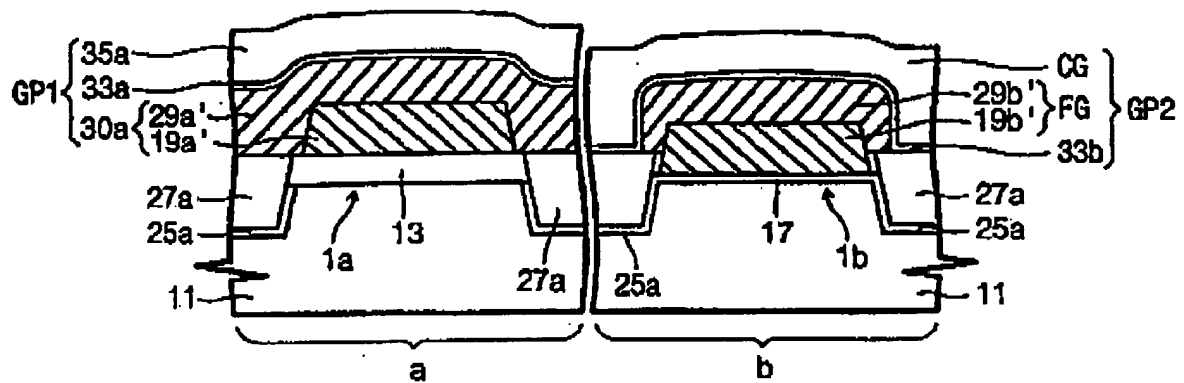


图 9B

00.12.18

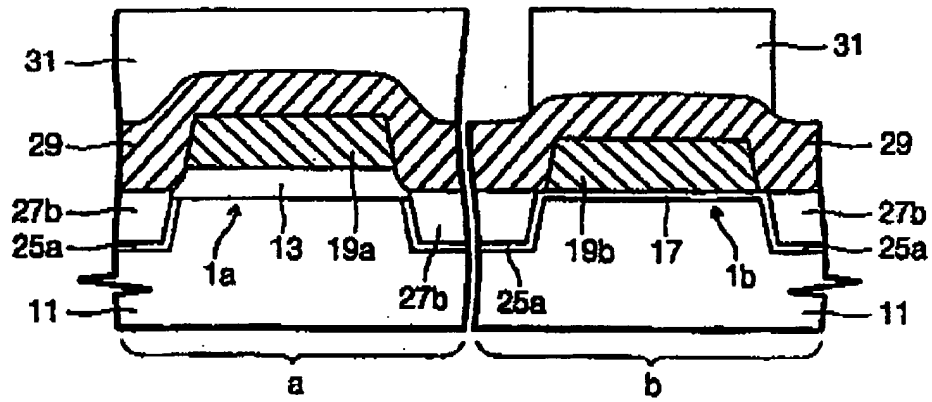


图 10

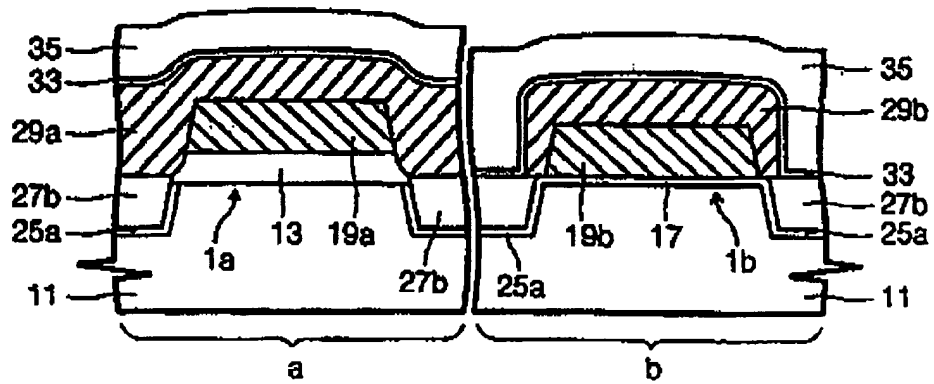


图 11

001010

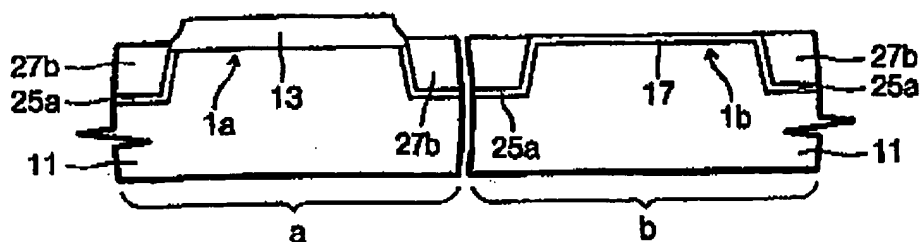


图 12A

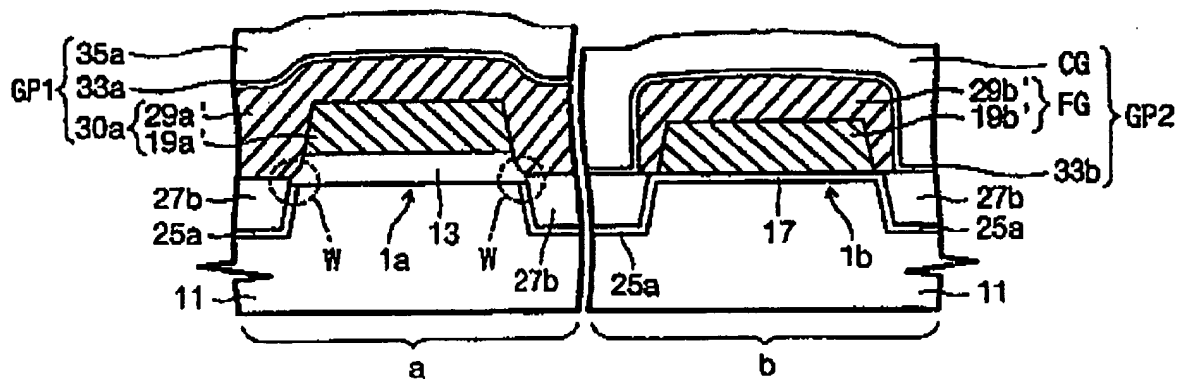


图 12B

00.10.10

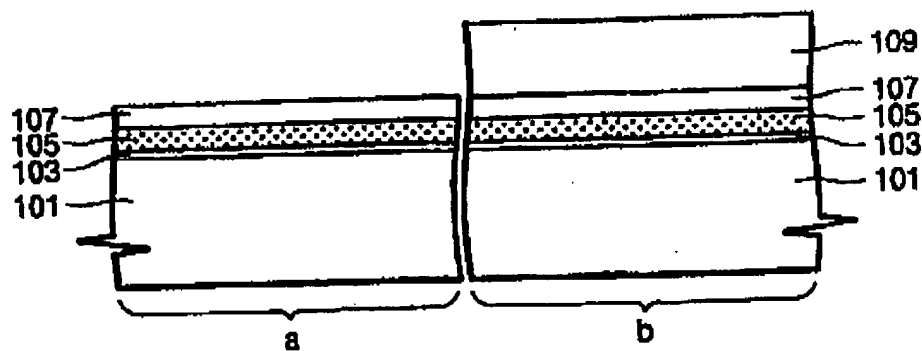


图 13

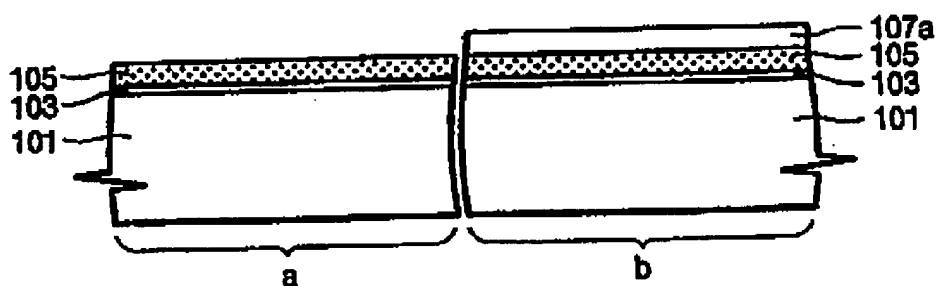


图 14

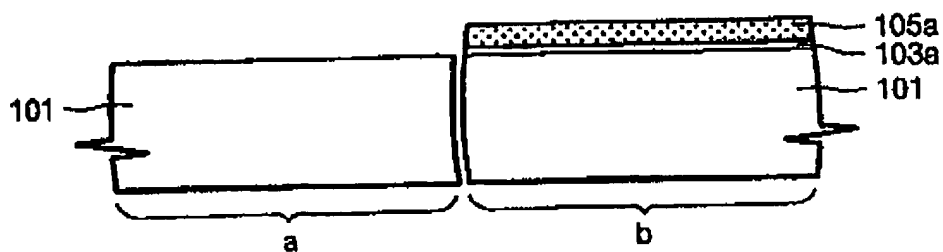


图 15

00-12-18

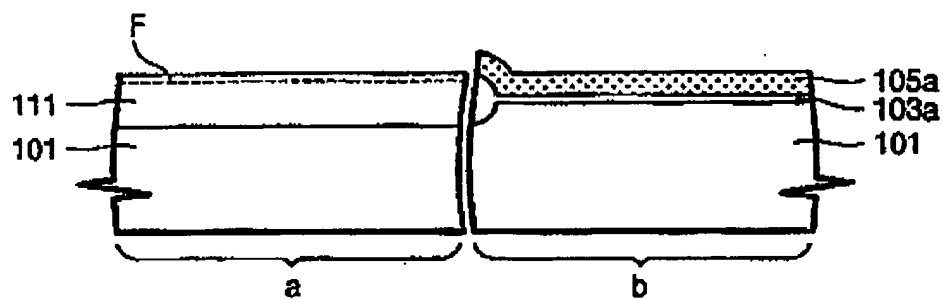


图 16

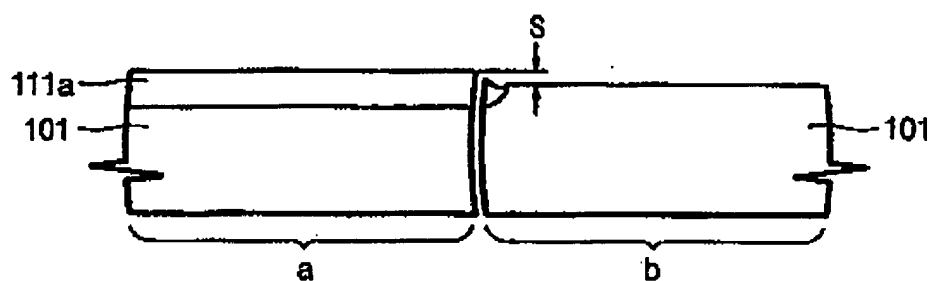


图 17

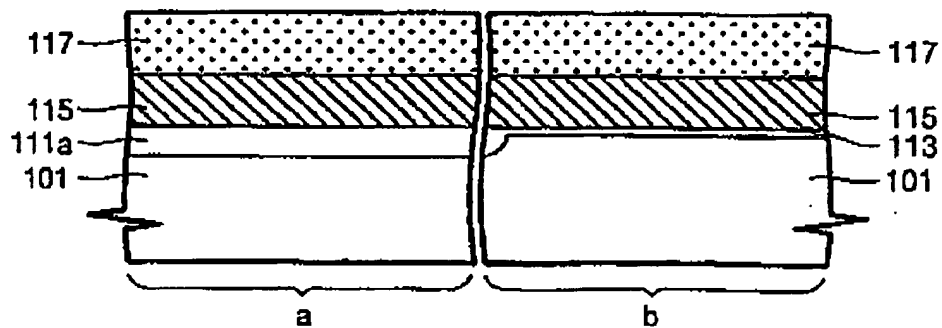


图 18

00-12-18

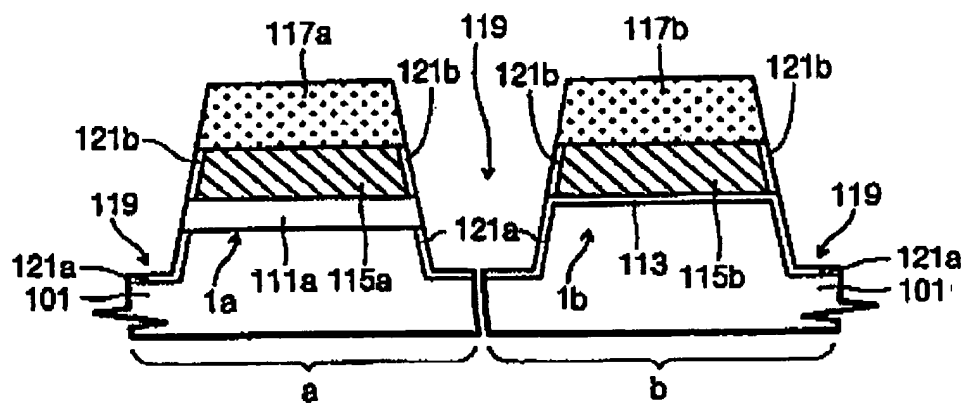


图 19

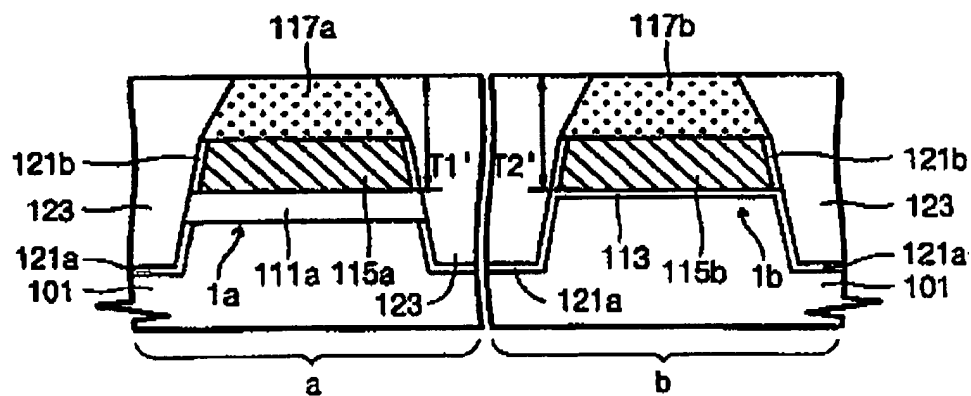


图 20

00.12.10

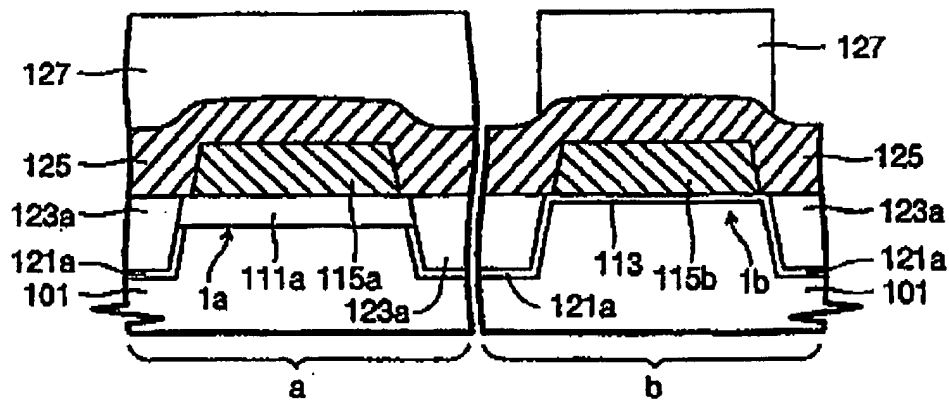


图 21

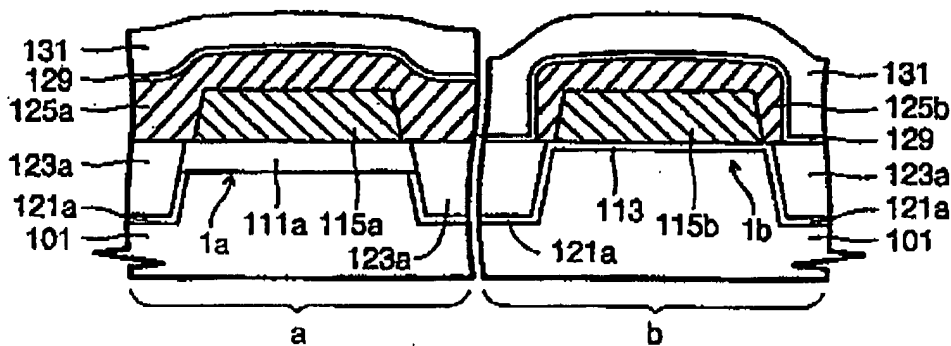


图 22



00.12.18

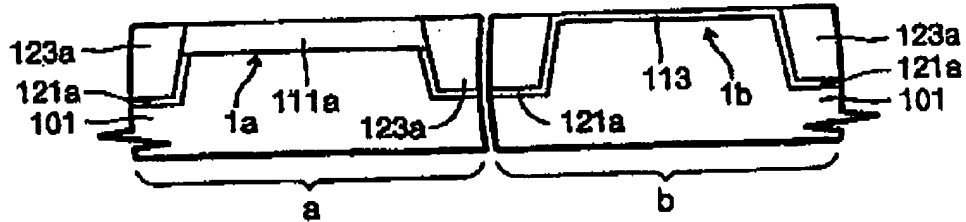


图 23A

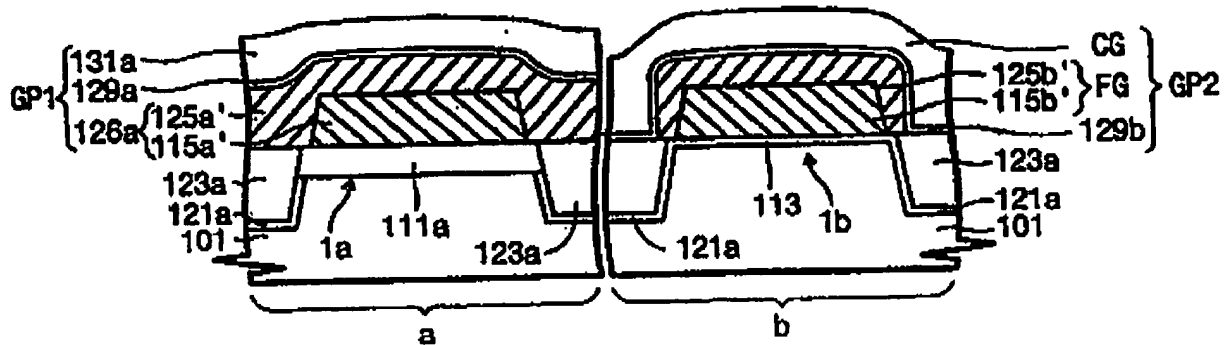


图 23B

00-12-18

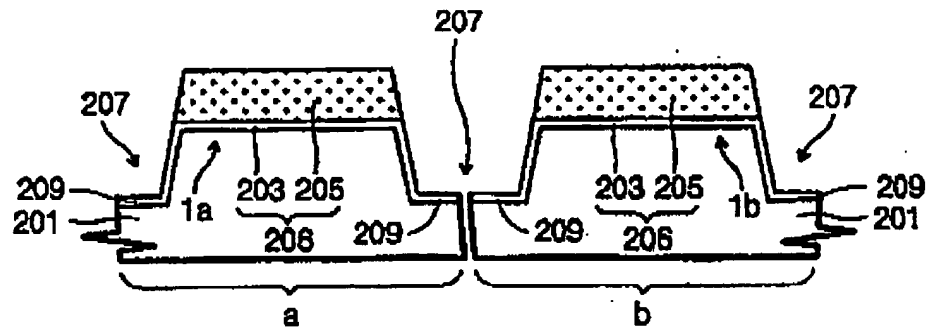


图 24

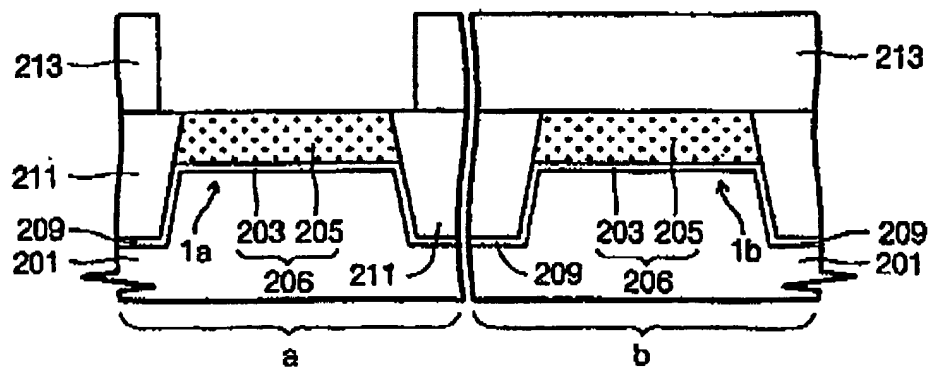


图 25



00.12.13

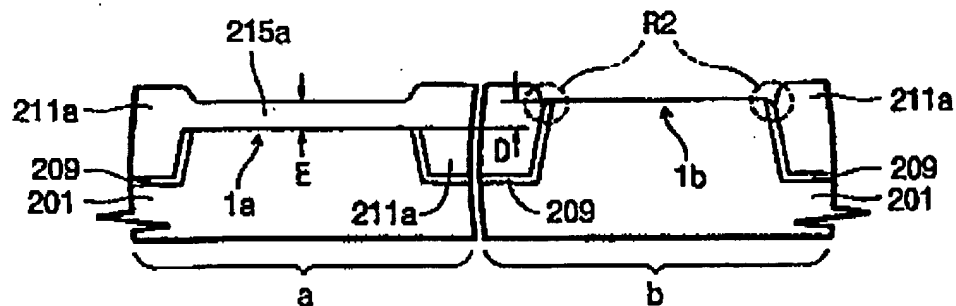


图 28

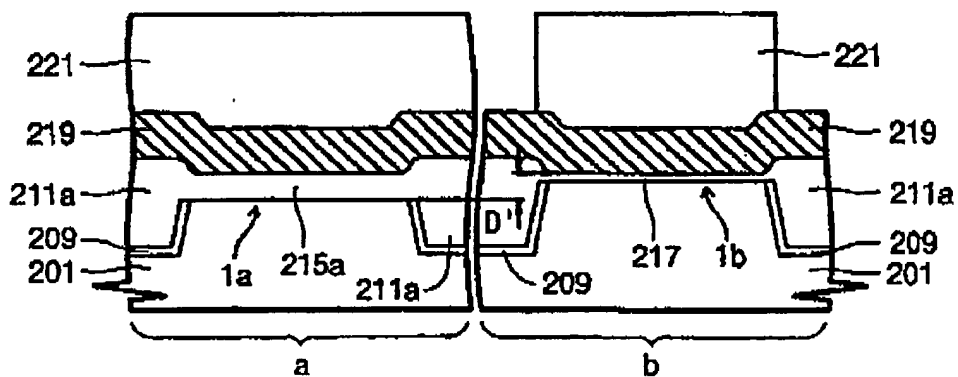


图 29

00.12.18

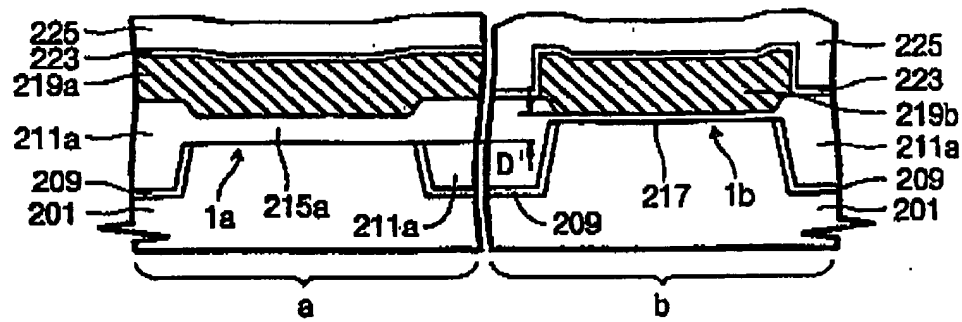


图 30

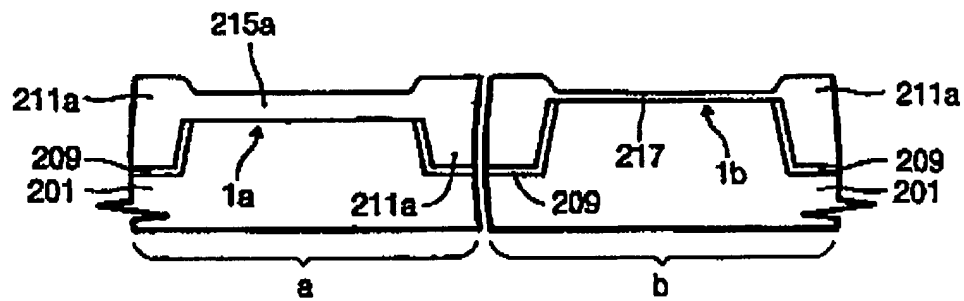


图 31A

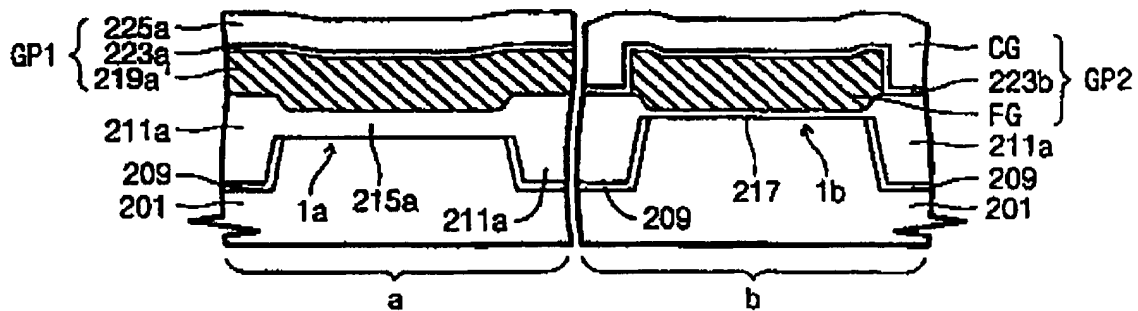


图 31B

00.12.13

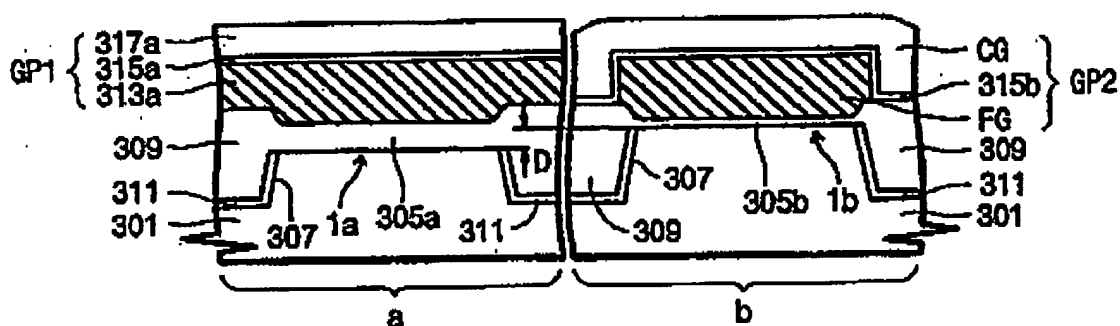


图 32

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**